

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

AD

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-015777

(43)Date of publication of application : 22.01.1999

(51)Int.Cl. G06F 13/36
G06F 12/08
G06F 13/12

(21)Application number : 09-168835

(71)Applicant : KOFU NIPPON DENKI KK

(22)Date of filing : 25.06.1997

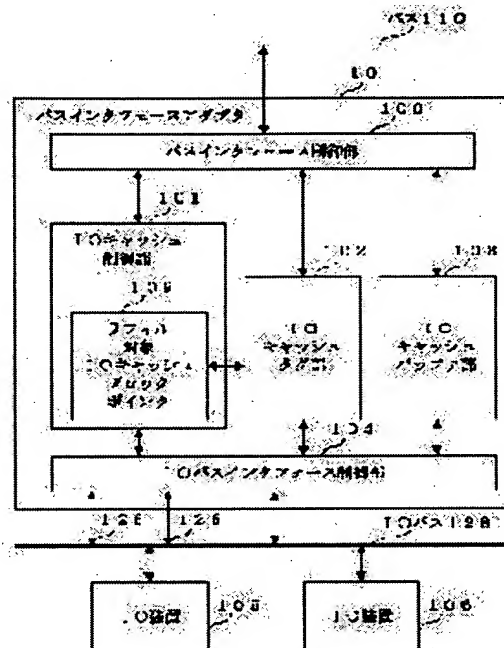
(72)Inventor : SUGANO TAKASHI

(54) BUS INTERFACE ADAPTER AND COMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the mishit rate of an IO cache block in a DMA transfer mode by adding an invalidation preference bit showing a preferential replacement object and writing the data into an IO cache in its data write mode.

SOLUTION: An IO bus interface control part 104 monitors the DMA transfer of IO devices 105 and 106 with the DMA transfer control and sends a DMA transfer address, the DMA transfer length and a DMA transfer data type to an IO cache control part 101. Then the part 101 checks an IO cache tag part 102. An address, an IO cache state and the information on an invalidation preference bit are stored in the part 102 in every cache block. When the data are written into an IO cache, the invalidation preference bit is added to show a preferential replacement object.



LEGAL STATUS

[Date of request for examination] 25.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3302905

[Date of registration] 26.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-15777

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl. ⁹	識別記号	F I
G 0 6 F 13/36	3 1 0	G 0 6 F 13/36 3 1 0 F
12/08	3 1 0	12/08 3 1 0 C
13/12	3 3 0	13/12 3 3 0 T

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平9-168835

(22) 出願日 平成9年(1997) 6月25日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 菅野 傑

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

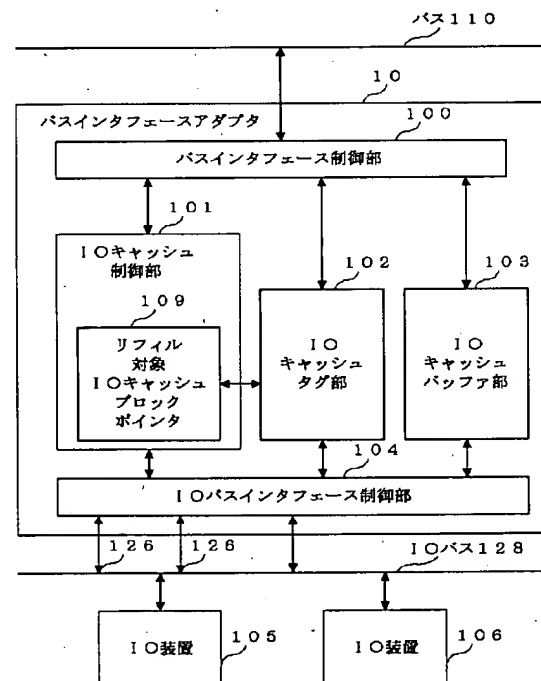
(54) 【発明の名称】 バスインタフェースアダプタおよびコンピュータシステ

△

(57) 【要約】

【課題】 バス負荷を軽減させるバスインタフェースアダプタを提供する。

【解決手段】 ストアインキャッシュ複数接続可能バス110とのインタフェースをとるストアインキャッシュ複数接続可能バスインタフェース制御部100と、DMA転送制御付きIO装置接続可能バス128とのインタフェースをとるDMA転送制御付きIO装置接続可能バスインタフェース制御部104、M個のIOキャッシュブロックに対するアドレス、キャッシュステートと無効化優先ビットを格納するIOキャッシュタグ部102と、IOキャッシュブロックに対するデータを格納するIOキャッシュデータバッファ部103と、IOキャッシュを制御するIOキャッシュ制御部101とを有し、無効化優先ビットにより、キャッシュブロックの置き換えの制御を行う。



【特許請求の範囲】

【請求項1】 ストアインキャッシュ複数接続可能なバスとDMA転送制御可能なIO装置が接続可能なIOバスとの間の転送を行い、かつIOキャッシュを備えるバスインタフェースアダプタにおいて、前記IOキャッシュにデータを書き込む場合、前記IOキャッシュのキャッシュブロック内の最後のデータを含むアクセスであると、キャッシュブロックの置き換えに際し優先的に置き換えの対象であることを示す無効化優先ビットを付加し前記IOキャッシュに前記データを書き込むことを特徴とするバスインタフェースアダプタ。

【請求項2】 (a) 前記データ含むキャッシュブロックを格納するIOキャッシュデータバッファ部と、前記キャッシュブロックの状態を示すステート、前記無効化優先ビット、およびアドレスを格納するIOキャッシュタグ部とを備える前記IOキャッシュと、(b) 前記IOキャッシュを制御するIOキャッシュ制御部と、を有することを特徴とする請求項1記載のバスインタフェースアダプタ。

【請求項3】 (a) 前記ストアインキャッシュ複数接続可能なバスと前記IOキャッシュおよび前記IOキャッシュ制御部とを接続しインタフェースの制御を行うバスインタフェース制御部と、(b) 前記DMA転送制御可能なIO装置が接続可能なIOバスと前記IOキャッシュおよび前記IOキャッシュ制御部とを接続しインタフェースの制御を行うIOバスインタフェース制御部と、を有することを特徴とする請求項2記載のバスインタフェースアダプタ。

【請求項4】 前記無効化優先ビットがセットされているキャッシュブロックが複数存在する場合に、現在置き換えの対象となっているキャッシュブロックが格納されているエントリから順番に前記無効化優先ビットがセットされているかどうか調べ、最初に検出された無効化優先ビットがセットされているキャッシュブロックを置き換え対象とすることを特徴とする請求項2または3記載のバスインタフェースアダプタ。

【請求項5】 前記ストアインキャッシュ複数接続可能なバスと、前記ストアインキャッシュ複数接続可能なバスに接続される複数のストアインキャッシュを備えたプロセッサと、前記ストアインキャッシュ複数接続可能なバスに接続されるシステムメインメモリと、前記DMA転送制御可能なIO装置が接続可能なIOバスと、前記DMA転送制御可能なIO装置が接続可能なIOバスに接続される複数のIO装置と、前記ストアインキャッシュ複数接続可能なバスおよび前記DMA転送制御可能なIO装置が接続可能なIOバスに接続される前記バスインタフェースアダプタとを有することを特徴とするコンピュータシステム。

【請求項6】 前記IOキャッシュのキャッシュブロック内の最後のデータを含むアクセスであることを示す信

号線を備える前記DMA転送制御可能なIO装置が接続可能なIOバスを有することを特徴とする請求項5記載のコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バスインタフェースアダプタに関し、特に、DMA転送時にマルチマイクロプロセッサのキャッシュメモリ、システムメインメモリとIOキャッシュとのデータ一致性を維持する機構に有用なIOキャッシュ用のバスインタフェースアダプタおよびそのバスインタフェースアダプタを持つコンピュータシステムに関する。

【0002】

【従来の技術】 一般的にDMA転送(リード又はライト)制御付きIO装置は、以下の4つの傾向がある。第一に、DMA転送中は連続したアドレスが多いこと、第二に、DMA転送すべきブロックの最下位バイト又はワードにアクセスした場合(以下ブロックラストアクセスと称す)は、そのブロックに再度アクセスする率が低いこと、第三に、DMA転送における1回のDMA転送で処理できるデータ転送能力がDMA転送制御可能バス装置によって違うこと、第四に、DMA転送時のデータ種類として、データタイプとコマンド、またはステータスタイプ(スクリプト言語、DMA終了時の状態ブロック等)の大きく二分化され、データタイプのDMA転送は、ブロックラストアクセス時、そのブロックに再度アクセスする率が低く、コマンドまたはステータスタイプのDMA転送は、一度アクセスしたブロックに再度アクセスする率が高いことが上げられる。

【0003】 従来のデータ一致性を維持する機構を有するIOキャッシュ用バスインタフェースアダプタとしては、たとえば、図4に示すようなバスインタフェースアダプタがある。図4を参照すると、この従来のバスインタフェースアダプタは、IOキャッシュブロックサイズ毎のM個のIOキャッシュブロックに対し、IOキャッシュタグ部502内には、IOキャッシュタグS(0)+A(0)、S(1)+A(1)、・・・、S(M-1)+A(M-1)を、IOキャッシュデータバッファ部503には、IOキャッシュデータD(0)、D(1)、・・・、D(M-1)を保持する。

【0004】 IOキャッシュブロックM-1に対するIOキャッシュステートS(0)～S(M-1)は、インバリッド(Invalid)、シェアード(Shared)、クリーンエクスクルーシブ(Clean Exclusive)、ダーティエクスクルーシブ(Dirty Exclusive)(以下、それぞれIV、SH、CE、DEと称す)の状態を有し、そのIOキャッシュステートによってストアインキャッシュ複数接続可能バス510上におけるデータの一致性を保つリード要求に対してブロックの現在の内容を供給する責任を持つ。各

3

キャッシュステートについて説明する。

(1) インバリッドとは、キャッシュブロックは有効な情報を持たないことを示す。

(2) シェアードとは、キャッシュブロックは、有効な情報を持ち、他のキャッシュにも存在し、また、キャッシュブロックの内容はシステムメモリと異なり、プロセッサはオーナーでないことを示す。

(3) クリーンイクスクルーシブとは、キャッシュブロックは、有効な情報を持ち、他のキャッシュには存在し、また、キャッシュブロックの内容はシステムメモリと同一であり、プロセッサはオーナーでないことを示す。

(4) ダーティーイクスクルーシブとは、キャッシュブロックは、有効な情報を持ち、他のキャッシュには存在せず、また、キャッシュブロックの内容はシステムメモリと同一であり、プロセッサはオーナーであることを示す。

【0005】各キャッシュステートの遷移は、図5に示す通りである。

【0006】次に、上述の従来の技術の動作について、図6を参照して説明する。図6は、図4の従来の技術の動作を示すフローチャートである。IOキャッシュアドレスA(0)～A(M-1)は、IOキャッシュブロックの物理アドレスである。DMA転送制御付きIO装置505、506がDMA転送制御付きIO装置接続可能IOバス523上にDMA転送を行う時、DMA転送制御付きIO装置505、506が接続されているIOバスインタフェース制御部504を介してIOキャッシュ制御部501によってIOキャッシュタグ部502をチェックする。DMAリード転送でIOキャッシュタグ部502内のIOキャッシュタグS(L)+A(L)にヒットした場合(図6A1のYES)、ヒットしたIOキャッシュタグのIOキャッシュステートに基づいて、ストアインキャッシュ複数接続可能バス510に対してデータの一致性を保つための処理を実行する(図6A2)。IOキャッシュ制御部501によってIOキャッシュデータバッファ部503のIOキャッシュデータバッファD(L)をDMAリードレスポンスとしてDMA転送制御付きIO装置505、506が接続されているDMA転送制御付きIO装置接続可能IOバス523上のDMA転送処理によりDMA転送制御付きIO装置505、506にデータを転送する(図6A6)。

【0007】DMAリード転送でIOキャッシュタグ部502内のIOキャッシュタグにヒットしない、つまりミスヒットした場合(図6A1のNO)、ストアインキャッシュ複数接続可能バスインタフェース制御部500を介してストアインキャッシュ複数接続可能バス510に対してデータの一致性を保つリードを発行し(図6A3)、リフィル(書き込みのことを以降リフィルと記す)対象IOキャッシュブロックポインタ509が示す

4

IOキャッシュブロックKに対するIOキャッシュデータバッファ部503内のIOキャッシュデータバッファD(K)のIOキャッシュステートS(K)がDEの時は、そのIOキャッシュデータバッファD(K)の内容をシステムメインメモリにライトバックした後、ブロックKにリフィルする(図6A4)と同時にIOキャッシュタグ部502内のIOキャッシュタグS(K)+A(K)も更新し、かつリフィル対象IOキャッシュブロックポインタ509を更新(1加算)する(図6A5)。

【0008】リフィルしたIOキャッシュデータバッファD(K)をDMA転送制御付きIO装置接続可能IOバス523上のDMAリードレスポンス処理によりDMA転送制御付きIO装置505、506に転送する(図6A6)。

【0009】DMAライト転送でIOキャッシュタグ部502内のIOキャッシュタグS(L)+A(L)にヒットした場合、そのヒットしたIOキャッシュブロックLのIOキャッシュステートS(L)がCEまたはDEの時、DMAライト転送のライトデータをIOキャッシュデータバッファD(L)にモディファイ(部分変更)すると同時にIOキャッシュステートS(L)をDEに変更する。そのヒットしたIOキャッシュブロックLのIOキャッシュステートS(L)がSHの時、ストアインキャッシュ複数接続可能バスインタフェース制御部500を介してストアインキャッシュ複数接続可能バス510に対してデータ一致性を保つためのインバリデート(無効化)を発行し、その発行が正常に完了するとDMAライト転送のライトデータをIOキャッシュデータバッファD(L)にモディファイすると同時にIOキャッシュステートS(L)をDEに更新する。

【0010】DMAライト転送でIOキャッシュタグ部502内のIOキャッシュタグにヒットしない、つまりミスヒットした場合、ストアインキャッシュ複数接続可能バスインタフェース制御部500を介してストアインキャッシュ複数接続可能バス510に対してデータ一致性を保つためのリードイクスクルーシブ(Exclusive)を発行し、リフィル対象IOキャッシュポインタ509が示すIOキャッシュブロックKに対するIOキャッシュデータバッファD(K)のIOキャッシュステートS(K)がDEの時は、そのIOキャッシュデータバッファD(K)の内容をシステムメインメモリにライトバックした後、リードイクスクルーシブに対するレスポンスデータをIOキャッシュブロックKにリフィルすると同時にIOキャッシュタグ部502内のIOキャッシュタグS(K)+A(K)も更新する。

【0011】そしてDMAライト転送のライトデータをIOキャッシュデータバッファD(K)にモディファイし、キャッシュステートS(K)をDEに更新する。

【0012】IOキャッシュ制御部501内には、DM

5

A転送でIOキャッシュタグ部502内のIOキャッシュタグにミスヒットした場合、ストアインキャッシュ複数接続可能バス510上への一致性を保つためのリード要求に対するレスポンスデータをリフィルする場合の置換対象を示すリフィル対象IOキャッシュブロックポインタ509を有し、その置換アルゴリズムとして、ランダム置換アルゴリズムまたはLRUアルゴリズムが使用される。ランダム置換アルゴリズムはDMAアクセス時アクセスされるIOキャッシュブロックが発生する度に増加するポインタを持ち、LRUアルゴリズムはレジスタスタックを用いることによる最も最近アクセスされなかったIOキャッシュブロックを示すポインタを持つ。

【0013】

【発明が解決しようとする課題】 上述した従来のデータの一致性を維持する機構を有するIOキャッシュ用バスインタフェースアダプタによるDMA転送処理の問題点は、その配下のIOバス上に接続されている多様なDMA転送制御付きIO装置が数回に分けて同じブロックに対してDMA転送実行中に、そのブロックを無効にしてしまい、再びストアインキャッシュ複数接続可能バスにデータの一致性を維持する処理が必要となることである。

【0014】 その理由は、DMA転送でIOキャッシュにミスヒットした時、ストアインキャッシュ複数接続可能バス上のレスポンスデータをリフィルする時、ストアインキャッシュ接続可能バス上のレスポンスデータをリフィルする時の置換対象となるブロック選択における従来の置換アルゴリズムにより、実行中のDMA転送の状態が認識不可能であることから、そのレスポンスデータをリフィルするブロックとしてDMA転送実行中のブロックが選択されるからである（このようすを図7に示す。図7（a）において、0番目のエントリがDMA転送中であるが、次のDMA転送により、図7（b）のように置き換えられてしまう。）。

【0015】

【課題を解決するための手段】 本発明の第1のバスインタフェースアダプタは、ストアインキャッシュ複数接続可能バスとDMA転送制御可能バス装置が接続可能なIOバスとの間の転送を行い、かつIOキャッシュを備えるバスインタフェースアダプタにおいて、前記IOキャッシュにデータを書き込む場合、前記IOキャッシュのキャッシュブロック内の最後のデータを含むアクセスであると、キャッシュブロックの置き換えに際し優先的に置き換えの対象であることを示す無効化優先ビットを付加し前記IOキャッシュに前記データを書き込む。

【0016】 本発明の第2のバスインタフェースアダプタは、前記第1のバスインタフェースアダプタであって、（a）前記データ含むキャッシュブロックを格納するIOキャッシュデータバッファ部と、前記キャッシュブロックの状態を示すステート、前記無効化優先ビッ

6

ト、およびアドレスを格納するIOキャッシュタグ部とを備える前記IOキャッシュと、（b）前記IOキャッシュを制御するIOキャッシュ制御部と、を有する。

【0017】 本発明の第3のバスインタフェースアダプタは、前記第2のバスインタフェースアダプタであって、（a）前記ストアインキャッシュ複数接続可能なバスと前記IOキャッシュおよび前記IOキャッシュ制御部とを接続しインタフェースの制御を行うバスインタフェース制御部と、（b）前記DMA転送制御可能なIO装置が接続可能なIOバスと前記IOキャッシュおよび前記IOキャッシュ制御部とを接続しインタフェースの制御を行うIOバスインタフェース制御部と、を有する。

【0018】 本発明の第4のバスインタフェースアダプタは、前記第2または第3のバスインタフェースアダプタであって、前記無効化優先ビットがセットされているキャッシュブロックが複数存在する場合に、現在置き換えの対象となっているキャッシュブロックが格納されているエントリから順番に前記無効化優先ビットがセットされているかどうか調べ、最初に検出された無効化優先ビットがセットされているキャッシュブロックを置き換え対象とする。

【0019】 本発明の第1のコンピュータシステムは、前記ストアインキャッシュ複数接続可能なバスと、前記ストアインキャッシュ複数接続可能なバスに接続される複数のストアインキャッシュを備えたプロセッサと、前記ストアインキャッシュ複数接続可能なバスに接続されるシステムメインメモリと、前記DMA転送制御可能なIO装置が接続可能なIOバスと、前記DMA転送制御可能なIO装置が接続可能なIOバスに接続される複数のIO装置と、前記ストアインキャッシュ複数接続可能なバスおよび前記DMA転送制御可能なIO装置が接続可能なIOバスに接続される前記バスインタフェースアダプタとを有する。

【0020】 本発明の第2のコンピュータシステムは、前記第1のコンピュータシステムであって、前記IOキャッシュのキャッシュブロック内の最後のデータを含むアクセスであることを示す信号線を備える前記DMA転送制御可能なIO装置が接続可能なIOバスを有する。

【0021】

【発明の実施の形態】 次に、本発明の第1の実施の形態について図1を参照して説明する。図1は、本発明の第1の実施の形態を示すブロック図である。図1を参照すると、本発明の第1の実施の形態のバスインタフェースアダプタは、ストアインキャッシュ接続可能バスインタフェース制御部100と、IOキャッシュ制御部101と、IOキャッシュタグ部102と、IOキャッシュデータバッファ部103と、IOバスインタフェース制御部104とから構成される。また、ストアインキャッシュ接続可能バスインタフェース制御部100はストアイ

ンキャッシュ複数接続可能バス110と接続され、IOバスインタフェース制御部104は、DMA転送制御付きIO装置接続可能IOバス128と接続されている。また、DMA転送制御付きIO装置接続可能IOバス128には、DMA転送制御付きIO装置105、106が接続される。

【0022】IOバスインタフェース制御部104は、DMA転送制御付きIO装置105、106からのDMA転送を監視し、IOキャッシュ制御部101にDMA転送アドレス、DMA転送長およびDMA転送データ種を伝える。そして、IOキャッシュ制御部101は、IOキャッシュタグ部102をチェックする。

【0023】IOキャッシュタグ部102には、1キャッシュブロック毎にアドレスA(M-1)、IOキャッシュステートS(M-1)、無効化優先ビットV(M-1)の情報がM個格納される。

【0024】IOキャッシュタグ部102内のアドレスA(0)~A(M-1)は、DMA転送制御付きIO装置接続可能IOバス128に接続されるDMA転送制御付きIO装置105または106によるDMA転送時、IOキャッシュタグ部102でヒットするかミスヒットするかを判断するために使用され、キャッシュステートS(0)~S(M-1)は、ストアインキャッシュ複数接続可能バス110に対してデータの一致性を保つためのIOキャッシュ状態(IV、SH、CEまたはDE)を示す。

【0025】DMA転送制御付きIO装置接続可能IOバス128には、DMA転送長指示線126とDMA転送データ種線127がある。DMA転送時アクセスしたIOキャッシュブロックがブロックの最下位(ラスト)バイトまたはワードにアクセスしたことをDMA転送長指示線126とDMA転送のアドレスで認識でき、DMA転送時の転送データ種は、DMA転送データ種線127で認識できる。

【0026】次に、本発明の実施の形態の動作について、図2を参照して詳細に説明する。図2は、本発明の実施の形態の動作を示すフローチャートである。

【0027】リフィル対象IOキャッシュブロックポインタ109は無効化またはシステムメインメモリにライトバックすべきIOキャッシュブロックを示し、基本的に0、1、2、・・・、M-1、0、1、2、・・・とサイクリックに変更される。

【0028】DMA転送時アクセスされたIOキャッシュブロックKに対するIOキャッシュタグ部102内の無効化優先ビットV(K)は、アクセスされたIOキャッシュブロックがブロックラストアクセス(DMA転送のアドレスがIOキャッシュのブロックの最後のアドレスである場合。キャッシュのブロックサイズが64バイトであれば、1バイト転送では、DMAアドレスの最下位6ビットが“111111”であるとき、8バイト転

送では、DMAアドレスの最下位6ビットが“111000”であるとき、64バイト転送では常に)時またはDMA転送データ種がコマンドまたはステートタイプの場合にセットされ、IOキャッシュミスヒットによるリフィル処理後リセットされる(図2B10、B11、B12、B13)。

【0029】DMA転送でIOキャッシュにミスヒットして(図2B1のNO)、ストアインキャッシュ複数接続可能バス110に対するデータの一致性を維持するための処理を行う(図2B3)。ストアインキャッシュ複数接続可能バス110上のレスポンスデータをリフィルする時、どのブロックを無効化またはシステムメインメモリにライトバックするかを判断するアルゴリズムは、以下の順番で選択される。

【0030】まず、全てのIOキャッシュのIOキャッシュステートをチェックし(図2B4)、キャッシュステートがIVであるIOキャッシュブロックが存在する場合(図2B4のYES)、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロックからキャッシュステートがIVであるIOキャッシュブロックを検索し、上記リフィルすべきIOキャッシュブロックとする(図2B7)。

【0031】全てのIOキャッシュブロック内にIOキャッシュステートがIVであるIOキャッシュブロックが存在せず(図2B4のNO)、全てのIOキャッシュタグ部102内の無効化優先ビットがセットされていない場合(図2B5のYES)、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロックがリフィルすべきIOキャッシュブロックとなり(図2B7)、レスポンスデータのリフィルが実施される(図2B7)。

【0032】全てのIOキャッシュタグ部102内のIOキャッシュステートがIVでなく、無効化優先ビットがセットされている場合(図2B5のNO)、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック以降から無効化優先ビットがセットされているIOキャッシュブロックを検索し、無効化優先ビットがセットされているIOキャッシュブロックをリフィル対象IOキャッシュブロックとし(図2B6)、レスポンスデータのリフィルが実施される(図2B7)。

【0033】次に、リフィルしたキャッシュブロックのキャッシュステートを変更し(図2B8)、リフィル対象IOキャッシュブロックポインタ109を1加算する(B9)。

【0034】次に、上述したB10~B13の処理を実施し、最後にDMA転送処理を行う(図2B14)。

【0035】次に、IOキャッシュブロックが4個の場合について詳細に説明する。IOキャッシュタグ部102内にIOキャッシュタグV0+S0+A0、V1+S

10

20

30

40

50

1+A1、V2+S2+A2、V3+S3+A3と、IOキャッシュデータバッファ部103内にIOキャッシュデータブロックD0、D1、D2、D3を有し、IOキャッシュ制御部101がIOキャッシュブロックを制御する。

【0036】また、1つのIOキャッシュブロックのサイズを64バイトとし、1回のDMA転送における処理データサイズが8バイトのDMA転送制御付きIO装置（以下、8バイトDMA装置と称す）、1回のDMA転送における処理データサイズが16バイトのDMA転送制御付きIO装置（以下、16バイトDMA装置と称す）と一回のDMA転送における処理データサイズが64バイトのDMA転送制御付きIO装置（以下、64バイトDMA装置と称す）の3つの異なるDMA転送能力をもつDMA転送制御付きIO装置がDMA転送制御付きIO装置接続可能IOバス128上に接続されているとする。DMAデータ種は、コマンドまたはステータスとする。

【0037】また、全てのIOキャッシュブロックのIOキャッシュステートがIVであり、リフィル対象IOキャッシュブロックポインタ109が0であり、DMA転送制御付きIO装置接続可能IOバス128上のバスアービトレーションはラウンドロビンである。

【0038】第一フェーズにおいて、8バイトDMA装置のDMA転送が発生すると、全てのIOキャッシュブロックのIOキャッシュステートがIVであることから、リフィル対象キャッシュブロックが示すIOキャッシュブロック0に格納され、リフィル対象IOキャッシュブロックポインタ109は1加算されることで、IOキャッシュブロック1を示す。IOキャッシュブロック0の無効化優先ビットはセットされない。その後、16バイトDMA装置のDMA転送が発生するとIOキャッシュステートがIVであるIOキャッシュブロックが存在することから、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック1に格納され、リフィル対象IOキャッシュブロックポインタ109は1加算されることで、IOキャッシュブロック2を示す。IOキャッシュブロック1の無効化優先ビットはセットされない。その後、64バイトDMA装置のDMA転送が発生するとIOキャッシュステートがIVであるIOキャッシュブロックが存在することから、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック2に格納されリフィル対象IOキャッシュブロックポインタ109は1加算されることで、IOキャッシュブロック3を示す。IOキャッシュブロック2へのブロックラストアクセスであることからIOキャッシュブロック2に対する無効化優先ビットがセットされる。

【0039】第二フェーズにおいて、8バイトDMA装置と16バイトDMA装置のDMA転送が発生すると、

それぞれIOキャッシュブロックにヒットし、DMA処理を完了する。ともにブロックラストアクセスではないので、無効化優先ビットはセットされない。64バイトDMA装置のDMA転送が発生すると、IOキャッシュにミスヒットし、IOキャッシュステートがIVであるIOキャッシュブロックが存在するので、リフィル対象IOキャッシュブロックが示すIOキャッシュブロック3に格納される。IOキャッシュブロック3へのブロックラストアクセスであることからIOキャッシュブロック3に対する無効化優先ビットがセットされる。第三フェーズに入る前のリフィル対象IOキャッシュブロックポインタ109はIOキャッシュブロック0を示す。

【0040】第三フェーズにおいて、8バイトDMA装置と16バイトDMA装置のDMA転送が発生すると、それぞれIOキャッシュブロックにヒットし、DMA処理が完了する。その後、64バイトDMA装置のDMA転送が発生すると、IOキャッシュブロックにミスヒットするが、IOキャッシュステートがIVであるIOキャッシュブロックが存在せず、またIOキャッシュブロック2と3の無効化優先ビットがセットされているので、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック0から順に無効化優先ビットがセットされているIOキャッシュブロックを検索していくと、IOキャッシュブロック2の無効化優先ビットがセットされているので、IOキャッシュブロック2に格納され、リフィル対象IOキャッシュブロックポインタ109がIOキャッシュブロック2を示すように変更される。また、リフィル対象IOキャッシュブロックポインタ109に1加算することで、最終的にはIOキャッシュブロック3を示す。IOキャッシュブロック2に対してブロックラストアクセスであることから、IOキャッシュブロック2に対する無効化優先ビットがセットされる。

【0041】第四フェーズにおいて、8バイトDMA装置と16バイトDMA装置のDMA転送が発生すると、それぞれIOキャッシュブロックにヒットし、DMA処理が完了する。IOキャッシュブロック0の無効化優先ビットはセットされず、16バイトDMA装置がアクセスするIOキャッシュブロック1に対してブロックラストアクセスであることから、IOキャッシュブロックの無効化優先ビットがセットされる。その後、64バイトDMA装置のDMA転送が発生すると、IOキャッシュブロックにミスヒットし、IOキャッシュステートがIVであるIOキャッシュブロックは存在せず、またIOキャッシュブロック1、2、3の無効化優先ビットがセットされているので、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック3から順に無効化優先ビットがセットされているIOキャッシュブロックを検索していくと、IOキャッシュブロック3の無効化優先ビットがセットされているので、IO

キャッシュブロック3に格納され、リフィル対象IOキャッシュブロックポインタ109がIOキャッシュブロック3を示すように変更され1加算されることで、最終的にIOキャッシュブロック0を示す。

【0042】第五フェーズにおいて、8バイトDMA装置のDMA転送が発生すると、IOキャッシュブロックにヒットし、DMA処理が完了する。IOキャッシュブロック0に対する無効化優先ビットはセットされない。16バイトDMA装置のDMA転送が発生すると、IOキャッシュブロックにミスヒットし、IOキャッシュステートがIVであるIOキャッシュブロックは存在せず、IOキャッシュブロック1、2、3の無効化優先ビットがセットされているので、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック0から順に無効化優先ビットがセットされているIOキャッシュブロックを検索していくと、IOキャッシュブロック1が無効化優先ビットがセットされているので、IOキャッシュブロック1に格納され、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック1を示すように変更され1加算されることで、最終的にIOキャッシュブロック2を示す。IOキャッシュブロック1の無効化優先ビットはリフィル処理によってリセットされる。その後、64バイトDMA装置のDMA転送が発生すると、IOキャッシュブロックにミスヒットし、IOキャッシュステートがIVであるIOキャッシュブロックが存在せず、IOキャッシュブロック2、3の無効化優先ビットがセットされているので、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック2から順に無効化優先ビットがセットされているIOキャッシュブロックを検索していくと、IOキャッシュブロック2の無効化優先ビットがセットされているので、IOキャッシュブロック2に格納され、リフィル対象IOキャッシュブロックポインタ109はIOキャッシュブロック2を示すように変更され1加算されることで、最終的にIOキャッシュブロック3を示す。

【0043】第六フェーズにおいて、8バイトDMA装置と16バイトDMA装置のDMA転送が発生すると、それぞれIOキャッシュブロックにヒットし、DMA転送処理が完了する。ともに無効化優先ビットはセットされない。64バイトDMA装置のDMA転送が発生すると、IOキャッシュブロックにミスヒットし、IOキャッシュステートがIVであるIOキャッシュブロックは存在せず、またIOキャッシュブロック2、3の無効化優先ビットがセットされているので、リフィル対象IOキャッシュブロックポインタ109が示すIOキャッシュブロック3から順に無効化優先ビットがセットされているIOキャッシュブロックを検索していくと、IOキャッシュブロック3の無効化優先ビットがセットされているのでIOキャッシュブロック3に格納され、リフィル対

象IOキャッシュブロックポインタ109がIOキャッシュブロック3を示すように1加算されることで、最終的にIOキャッシュブロック0を示す。

【0044】ここで、従来のDMA転送処理アダプタ内のリフィル対象IOキャッシュブロックポインタ109は、DMA転送の状態が判断する手段がないので、単純サイクリックに変更される。

【0045】従来では、第三フェーズの16バイトDMA装置のアクセスにより、リフィル対象IOキャッシュブロックポインタ109がIOキャッシュブロック0を示しているため、8バイトDMA装置がアクセス中のIOキャッシュブロック0が無効化され、第四フェーズにおいて、8バイトDMA装置のDMA転送が発生するとIOキャッシュブロックにミスヒットしてしまい、ストアインキャッシュ複数接続可能バス110に対してデータの一致性を維持するための処理を実施しなければならない。

【0046】次に、本発明の第2の実施の形態について図3を参照して説明する。本発明の第2の実施の形態は第1の実施の形態のバスインタフェースアダプタが複数接続されるコンピュータシステムである。図3は、本発明の第2の実施の形態を示すブロック図である。図3を参照すると、本発明のコンピュータシステムは、ストアインキャッシュ複数接続可能バス215と、本発明の第1の実施の形態であるバスインタフェースアダプタ205、206と、プロセッサ200、201、202、203と、システムメインメモリ204と、バスインタフェースアダプタ205配下のDMA転送制御付きIO装置接続可能IOバス216と、DMA転送制御付きIO装置207～210と、バスインタフェースアダプタ206配下のDMA転送制御付きIO装置接続可能IOバス217と、DMA転送制御付きIO装置211～214とから構成される。

【0047】このシステムにおけるバスインタフェースアダプタ205、206の動作は、本発明の第1の実施の形態と同一である。

【0048】

【発明の効果】本発明の第1の効果は、転送能力が低いDMA転送制御付きIO装置がアクセス中のIOキャッシュブロックが、転送能力が高いDMA転送制御付きIO装置が異なるIOキャッシュブロックへのアクセスにより、無効化またはシステムメインメモリにブロックライトされないようになり、多様な転送能力をもつDMA転送制御付きIO装置のDMA転送におけるIOキャッシュブロックのミスヒット率を減少することが可能となることである。その理由は、本発明のバスインタフェースアダプタはDMA転送アドレスとDMA転送長指示線を監視する機能を内蔵することで、バスインタフェースアダプタのIOキャッシュを最適に制御することからである。

13

【0049】第2の効果は、コマンドまたはステータスとしてアクセスしているDMA転送制御付きIO装置がアクセス中のIOキャッシュブロックが、データとしてアクセスしているDMA転送制御付きIO装置が異なるIOキャッシュブロックへのアクセスにより、無効化またはシステムメインメモリにライトバックされないようになり、多様なデータ種をもつDMA転送制御付きIO装置のDMA転送におけるIO装置のDMA転送におけるIOキャッシュブロックのミスヒット率を減少することが可能となることである。その理由は、本発明に係る動的DMA転送処理アダプタのDMA転送データ種線を監視する機能を内蔵することで、本発明に係る動的DMA転送処理アダプタ内のIOキャッシュを最適に制御することからである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】本発明の第1の実施の形態の動作を示すフローチャートである。

【図3】本発明の第2の実施の形態を示すブロック図である。

【図4】従来の技術を示すブロック図である。

【図5】キャッシュステートの遷移を示す遷移図である。

【図6】従来の技術の動作を示すフローチャートである。

【図7】従来の技術の動作を示す説明図である。

【符号の説明】

100 バスインタフェース制御部

101 IOキャッシュ制御部

30 ス

14

102 IOキャッシュタグ部

103 IOキャッシュデータバッファ部

104 IOバスインタフェース制御部

105、106 DMA転送制御付きIO装置

109 リフィル対象IOキャッシュブロックポイント

110 ストアインキャッシュ複数接続可能バス

126 DMA転送長指示線

127 DMA転送データ種線

10 128 DMA転送制御付きIO装置接続可能IOバス

200、201、202、203 プロセッサ

204 システムメインメモリ

205、206 バスインタフェースアダプタ

215 ストアインキャッシュ複数接続可能バス

216、217 DMA転送制御付きIO装置接続可能IOバス

207～210 DMA転送制御付きIO装置

211～214 DMA転送制御付きIO装置

500 バスインタフェース制御部

501 IOキャッシュ制御部

502 IOキャッシュタグ部

503 IOキャッシュデータバッファ部

504 IOバスインタフェース制御部

505、506 DMA転送制御付きIO装置

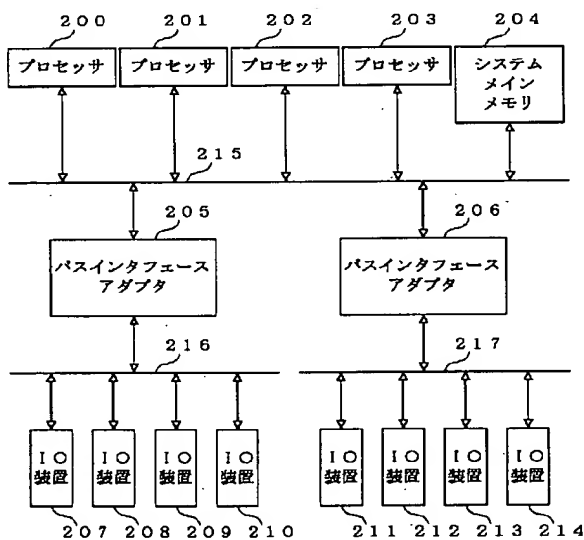
509 リフィル対象IOキャッシュブロックポイント

510 ストアインキャッシュ複数接続可能バス

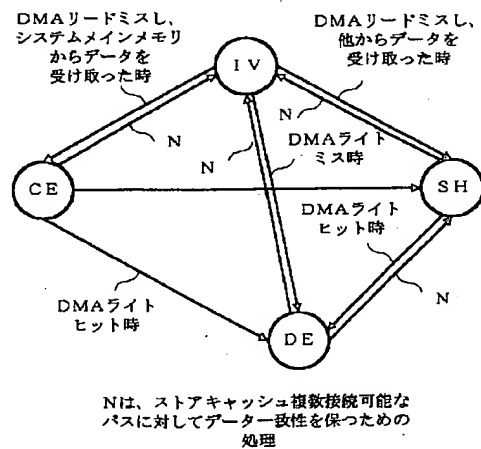
523 DMA転送制御付きIO装置接続可能IOバス

30 ス

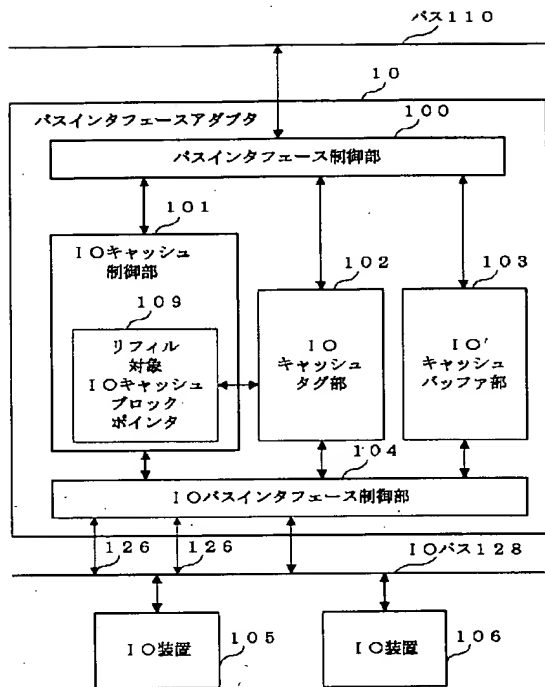
【図3】



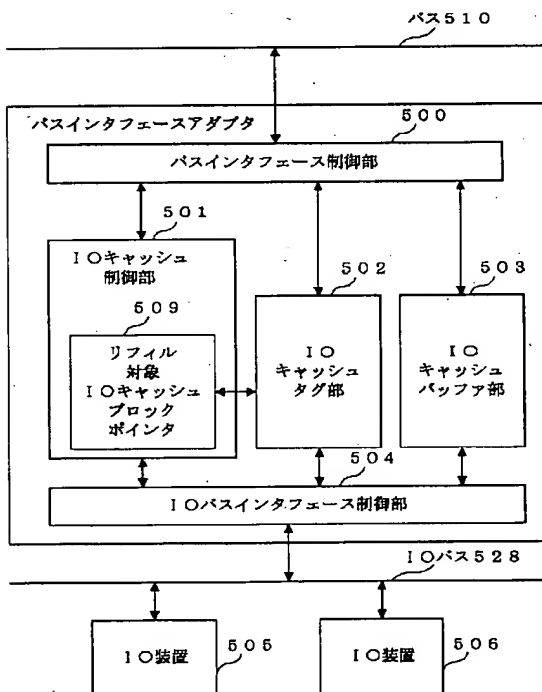
【図5】



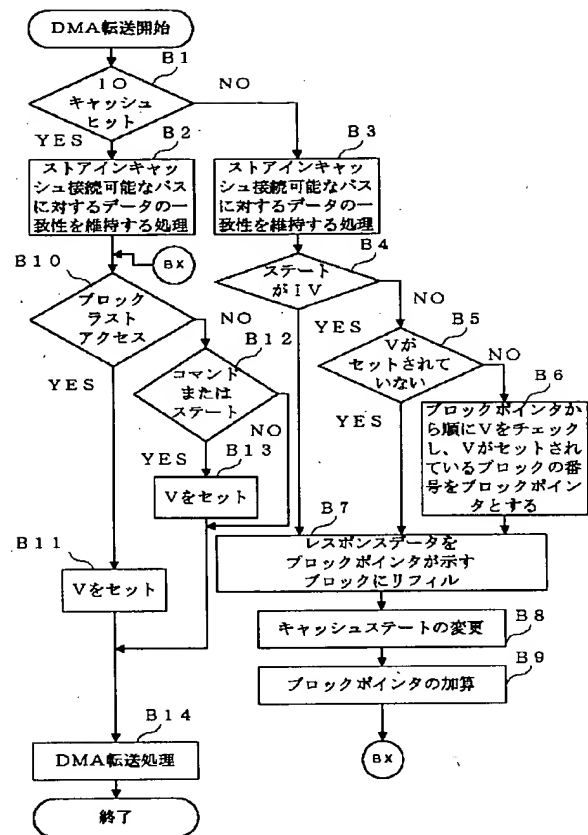
【図1】



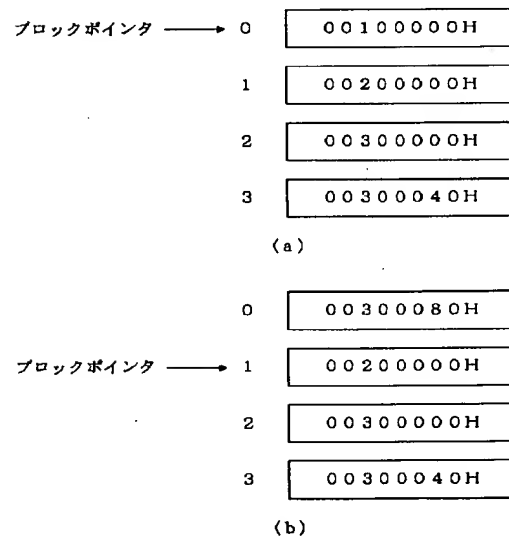
【図4】



【図2】



【図7】



【図6】

